

AT

Searching PAJ

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-235335  
 (43)Date of publication of application : 10.09.1993

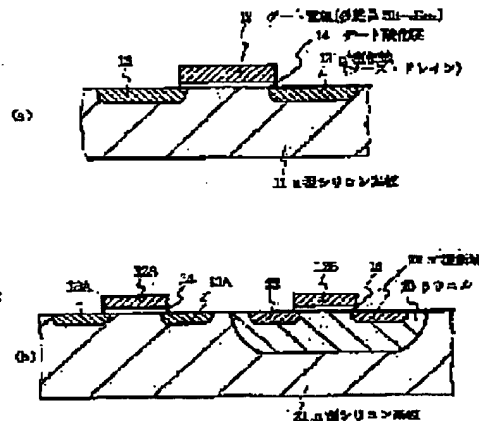
(51)Int.Cl. H01L 29/784

(21)Application number : 04-031203 (71)Applicant : NEC CORP  
 (22)Date of filing : 19.02.1992 (72)Inventor : SAKAMOTO MITSURU

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To control work function difference with a silicon substrate at a small value, and to control threshold voltage easily by using a polycrystalline silicon-germanium alloy film as a part of the gate electrode of an insulated-gate field-effect transistor.  
**CONSTITUTION:** A polycrystalline silicon-germanium alloy ( $\text{Si}_{1-x}\text{Ge}_x$ ) is formed onto the surface of an n-type silicon substrate 11 while holding a gate oxide film 14, and a gate electrode 12 is formed through patterning. The ions of  $\text{BF}_2$  or B are implanted while employing the gate electrode as a mask, and p+ regions 13 as source-drain are shaped. A p-well 20 is formed to the surface of an n-type silicon substrate 21 through the implantation of phosphorus ions and heat treatment. Gate electrodes 12A, 12B composed of a polycrystalline  $\text{Si}_{1-x}\text{Ge}_x$  film containing boron are formed through the gate oxide films 14. An n+ type region 23 is shaped through the implantation of As ions. A p-channel transistor is formed by shaping the gate electrode 12A, a p+ type region 13A, etc.



## LEGAL STATUS

[Date of request for examination] 29.02.1996  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 2876866  
 [Date of registration] 22.01.1999  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235335

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl.<sup>3</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

7377-4M

H01L 29/78

301 G

審査請求 未請求 請求項の数7(全5頁)

(21)出願番号

特願平4-31203

(22)出願日

平成4年(1992)2月19日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 坂本 充

東京都港区芝五丁目7番1号日本電気株式会社内

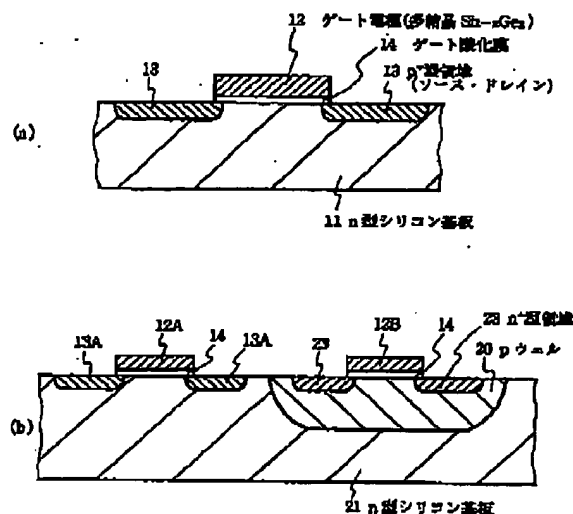
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】微細絶縁ゲート電界効果トランジスタのしきい値電圧をゲート電極材料の仕事関数を最適値にすることで制御し、絶縁ゲート電界効果トランジスタの微細化に伴うシリコン基板中の不純物濃度増加を不必要にする。かくして微細絶縁ゲート電界効果トランジスタの高速度化、信頼性向上を図る。

【構成】ゲート電極12を多結晶構造のシリコン・ゲルマニウム合金、或いは金属薄膜/シリコン・ゲルマニウム合金の2層構造の金属材料とする。



(2)

特開平5-235335

2

## 【特許請求の範囲】

【請求項1】 シリコン基板上に形成する絶縁ゲート電界効果トランジスタのゲート電極の少くとも一部に多結晶シリコン・ゲルマニウム (Si<sub>1-x</sub>Ge<sub>x</sub>) 合金膜を用いることを特徴とする半導体装置。

【請求項2】 多結晶シリコン・ゲルマニウム合金膜中のゲルマニウム組成比xが0.3~0.8である請求項1記載の半導体装置。

【請求項3】 多結晶シリコン・ゲルマニウム合金膜にp型不純物がドーピングされている請求項1または請求項2記載の半導体装置。

【請求項4】 多結晶シリコン・ゲルマニウム合金膜にn型不純物がドーピングされている請求項1または請求項2記載の半導体装置。

【請求項5】 多結晶シリコン・ゲルマニウム合金膜にp型不純物とn型不純物とがドーピングされている請求項1または請求項2記載の半導体装置。

【請求項6】 ゲート電極は金属膜とシリコン・ゲルマニウム合金膜の2層構造である請求項1乃至請求項5記載の半導体装置。

【請求項7】 金属膜は高融点金属或いはそれらのシリサイドである請求項6記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体装置に関し、特に絶縁ゲート電界効果トランジスタのゲート電極の構造に

$$V_{TH} = V_{FB} \pm |\phi_{FI}| \pm \frac{\sqrt{K_s \epsilon_0 q N} |\phi_{FI}|}{C_o} \dots (1)$$

【0007】 但し  $V_{FB} = \phi_{MS} - Q_{SS} / C_o$  である。

【0008】 ここで  $V_{FB}$  はフラットバンド電圧、 $\phi_{FI}$  はシリコン半導体のバンド構造に於けるミッドギャップ準位とフェルミ準位の電位差、 $K_s$  及び  $N$  はシリコン半導体の比誘電率及び含有不純物量、 $C_o$  はゲート絶縁膜の単位面積当りの容量、 $\epsilon_0$ 、 $q$  はそれぞれ真空の誘電率、電荷素量、 $Q_{SS}$  はゲート絶縁膜中の単位面積当りの実効表面電荷量、 $\phi_{MS}$  はゲート電極材料とシリコン半導体との仕事関数差である。(1)式に於いて正負符号はそれぞれnチャネル、pチャネルMOSFETの場合に相当する。

【0009】 図6に示すMOS (Metal Oxide Semiconductor) 構造のバンド構造でわかるように、 $\phi_{MS}$  は  $(E_F - E_{FC})$  で表わすことができる。ゲート電極材料がn型多結晶シリコンの場合、ゲート電極のフェルミレベル  $E_{FC}$  がコンダクションバンド  $E_C$  レベルに近い場合、nチャネル (p型シリコン半導体使用) MOSFETの場合  $\phi_{MS}$  が負の方向に増大する。このため一定の  $V_{TH}$  (正の値) を得るためには  $|\phi_{FI}|$ 、 $N$  を増加させることが必要となる。これ等は共にアクセプタ不純物量を増加させることであり、電子易

関する。

## 【0002】

【従来の技術】 現在半導体集積回路に使用されている半導体素子の一つである絶縁ゲート電界効果トランジスタ (以後MOSFETと呼ぶ) のゲート電極には、n型不純物を含有した多結晶シリコン膜が広く用いられている。更にゲート電極の電気抵抗を下げるために、上記多結晶シリコン膜上にタングステンシリサイド、モリブデンシリサイド等の高融点金属シリサイド膜を被覆した構造のゲート電極も広く採用されてきている。

【0003】 これ等のゲート電極材料の選択には、MOSFETの製造の容易さ及び信頼性向上が重要な要素となっている。しかし今後半導体装置の高集積化、高速度化が進むと、ゲート電極材料とシリコン半導体基板材料間の仕事関数差制御が重要となってくる。これは後述するようにMOSFETのしきい値電圧 ( $V_{TH}$ ) 制御にこの仕事関数差が深く関係するからである。

【0004】 この仕事関数差制御の観点より、ゲート電極材料として高融点金属であるタングステンの使用の有効性がナオキ (Naoki) 等によりIEDMテクニカルダイジェスト (Technical Digest) 242頁 (1988年) に報告されている。

## 【0005】

【発明が解決しようとする課題】 MOSFETのしきい値電圧  $V_{TH}$  は次の (1) 式で与えられる。即ち、

## 【0006】

動度を低下させ回路動作速度を低減させる。

【0010】 反対にゲート電極材料がp型多結晶シリコンの場合、 $E_{FC}$  レベルがバレーバンド端  $E_V$  レベルに近くなるため、nチャネルMOSFETには好都合であるが、pチャネル (n型シリコン半導体使用) MOSFETの場合  $\phi_{MS}$  が正の方向に増大する。この場合も一定の  $V_{TH}$  (負の値) を得るためにはドナー不純物濃度を増加させる必要が生じ、上記と同様な問題が生じる。

【0011】 この問題は、半導体装置の高集積化に伴うゲート絶縁膜厚の減少、即ち  $C_o$  値の増加と共に顕在化する。これは (1) 式でわかるように  $C_o$  値が増加すると、 $N$  値、即ち不純物濃度のより増大が必要となるためである。

【0012】 このような多結晶シリコン膜からなるゲート電極に対し、高融点金属であるタングステンは、 $E_{FC}$  がシリコン半導体基板のミッドギャップ準位  $E_i$  のあたりに位置するためnチャネル、pチャネル両方共に好都合であるが、ゲート絶縁膜として用いられる二酸化シリコン膜との反応が強く、この二酸化シリコン膜の絶縁性劣化を惹き起こし易いこと及び、密着性の悪さ等で使用が難しい。

(3)

特開平5-235335

3

## 【0013】

【課題を解決するための手段】これ等の問題を解決するために本発明に於いては、ゲート電極に多結晶構造のシリコン・ゲルマニウム合金材料を用いる。又この合金に導電性をもたせる目的でp型或いはn型不純物をドーピングする。更にこの多結晶シリコン・ゲルマニウム合金材料を用いたゲート電極の電気抵抗を下げるために、ゲート電極を金属薄膜／多結晶シリコン・ゲルマニウム合金膜の2層構造とするものである。

## 【0014】

【実施例】次に本発明について図面を参照して説明する。図1(a)、(b)は本発明の第1の実施例のシリコン半導体素子の断面図であり、前者はpチャネルMOSFET、後者はCMOSFET構造をそれぞれ示す。以下製造方法と共に説明する。

【0015】まず図1(a)に示す様に、比抵抗が $10\Omega\text{-cm}$ 、面方位(100)のn型シリコン基板11表面にゲート酸化膜14を挟んで膜厚 $200\sim400\text{nm}$ の多結晶シリコン・ゲルマニウム合金( $\text{Si}_{1-x}\text{Ge}_x$ )膜をCVD法により形成したのち、パターンニングしてゲート電極を形成する。この多結晶シリコン $\text{Si}_{1-x}\text{Ge}_x$ 膜からなるゲート電極12中には、ボロンを濃度にして $10^{17}\sim10^{21}/\text{cm}^3$ 含有させ導電性をもたせる。このゲート電極12中へのボロン不純物のドーピングは、CVD法による成膜時、 $\text{B}_2\text{H}_6$ ガスを混入させる方法或いはボロンイオン注入法により行う。なお、Geの量xについては後述する。

【0016】次にこのゲート電極12をマスクとし、 $\text{BF}_2$ 或いはBイオン注入を行い、ソース・ドレインとなるp<sup>+</sup>領域13を形成する。ここでBイオン注入エネルギーEを $20\text{keV}$ 、ドーズ量 $\phi$ を $1\times10^{15}\sim5\times10^{15}/\text{cm}^2$ 条件で行えば、ゲート電極12にも同時にボロンをドーピングすることが可能である。

【0017】次に図1(b)で本発明をCMOSFETに適用する場合について説明する。図1(b)に示すように、比抵抗が $10\Omega\text{-cm}$ 、面方位(100)のn型シリコン基板21の表面にpウェル20をリンのイオン注入及びその後の熱処理で形成する。次でゲート酸化膜14を介してボロンを含有する多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜からなるゲート電極12A、12Bを図1(a)で説明した手法でもって形成する。次にAsイオン注入をイオン注入エネルギーEを $50\text{keV}$ 、ドーズ量 $\phi$ を $1\times10^{15}\sim5\times10^{15}/\text{cm}^2$ 条件で行いn<sup>+</sup>型領域23を設ける。

【0018】ここでnチャネルトランジスタのソース・ドレイン領域となるn<sup>+</sup>型領域23は、ゲート電極12Bに自己整合的に形成されるため、n<sup>+</sup>型領域23形成用Asイオンはゲート電極12B中にも導入される。このためゲート電極12B中のボロン含有量は、Asイオン注入時に導入されるAs量より多くしておく必要があ

4

る。pチャネルトランジスタは図1(a)で説明した方法と同じ方法により、多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜からなるゲート電極12A、p<sup>+</sup>型領域13A等を設けて形成する。

【0019】次にp<sup>+</sup>型の多結晶シリコン $\text{Si}_{1-x}\text{Ge}_x$ 材料をゲート電極に用いる場合の効果について図2及び図3を用いて説明する。図2はp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜をゲート電極とした場合のMOS構造のフラットバンド状態でのバンド構造を示す。

【0020】前記(1)式のフラットバンド電圧 $V_{FB}$ は、図2に示したn型シリコン基板中のフェルミレベル $E_{F1}$ とp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜からなるゲート電極中のフェルミレベル $E_{F2}$ の差、即ち $V_{FB}=E_{F1}-E_{F2}$ で表わされる。この $V_{FB}$ は一般に正の値をもつが、先述したpチャネルトランジスタの場合負の値の方が好ましい。多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 材料の場合Ge量の増加と共にバレンスバンド端のレベル $E_{V2}$ が特に上がり、バンド幅が狭くなることが知られている。これに伴いp<sup>+</sup>型 $\text{Si}_{1-x}\text{Ge}_x$ 膜のゲート電極中のフェルミレベル $E_{F2}$ も上昇する。このために図3に示すように、ゲルマニウム含有量xの増加と共にフラットバンド電圧 $V_{FB}$ は低下し、 $0.3<x$ で負の値をもつようになる。

【0021】nチャネルトランジスタの場合のp型シリコン基板では、フェルミレベル $E_{F1}$ はミッドギャップ準位 $E_{11}$ より下に位置するため、p<sup>+</sup>型多結晶シリコン $\text{Si}_{1-x}\text{Ge}_x$ 膜のゲート電極中のフェルミレベル $E_{F2}$ と近くなる。このため従来のn<sup>+</sup>型多結晶シリコンからなるゲート電極の場合より $V_{FB}$ は正の方向で大きく $V_{FB}$ 制御も容易である。

【0022】図4は本発明の第2の実施例の断面図である。

【0023】図4に示すように、比抵抗 $5\Omega\text{-cm}$ 、面方位(100)のp型シリコン基板31の表面にゲート酸化膜14を介して厚さ $50\sim200\text{nm}$ のp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜32を第1の実施例で述べた手法で形成する。更にこのp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜32を被覆するように、厚さ $100\sim200\text{nm}$ のタングステン膜34をスパッタ法又はCVD法により形成する。タングステン膜の代りに、他の高融点金属膜、或いはそのシリサイド膜を用いてもよい。次でタングステン膜34とp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜32をパターンニングしてゲート電極を形成する。

【0024】次にAsのイオン注入を注入エネルギーEを $50\text{keV}$ 、ドーズ量 $\phi$ を $1\times10^{15}\sim5\times10^{15}/\text{cm}^2$ 条件で行う。このようにしてn<sup>+</sup>型領域(ソース・ドレイン領域)33を形成する。これでp<sup>+</sup>型多結晶 $\text{Si}_{1-x}\text{Ge}_x$ 膜／タングステン膜をゲート電極としたnチャネルMOSFETが完成する。このように2層構造のゲート電極にすることで、第1の実施例で示した効果に加え、ゲート電極の低抵抗比が可能になる。

(4)

特開平5-235335

5

6

【0025】図5は本発明の第3の実施例の断面図であり、ゲート電極の構造は図4で説明したものと同一であるが、MOSFETをSOI (Silicon on Insulator) 上に搭載する場合である。

【0026】シリコン基板41上に厚さ0.4~1 $\mu$ mの厚いシリコン酸化膜42を形成し、その上に貼り合わせ方法により薄い単結晶シリコン層を例えば膜厚50~80nmに形成する。このSOI層の一部を熱酸化し素子分離酸化膜44を形成した後、図4に示した方法でp<sup>+</sup>型多結晶Si<sub>1-x</sub>Ge<sub>x</sub>膜32とタングステン膜34からなるゲート電極を設ける。

【0027】次に不純物としてAs或いはボロンをドーピングし、ソース・ドレイン領域43を形成してチャネル領域45と区別し、nチャネル或いはpチャネルトランジスタを構成する。

【0028】このようなSOI上に搭載したMOSFETの場合、チャネル領域45は完全に空乏層化して用いられると共に、その直下に厚いシリコン酸化膜42が存在するために、しきい値電圧 $V_{TH}$ の絶対値が低下する。p<sup>+</sup>型多結晶Si<sub>1-x</sub>Ge<sub>x</sub>膜の使用は、この $V_{TH}$ の絶対値低下を抑制する働きをするため、よりその効果を発揮する。更にSOI搭載のMOSFETはショートチャネル効果の低減、バッチスルーの低減及び高速度化等をもたらすため、チャネル長1/4 $\mu$ m以下の超微細MOSFETとして最適な構造を有し、ゲート電極にp<sup>+</sup>型多結晶Si<sub>1-x</sub>Ge<sub>x</sub>膜を用いることで、その実現が容易となる。

【0029】上記実施例においてはゲート電極に用いる多結晶Si<sub>1-x</sub>Ge<sub>x</sub>材料にボロンをドーピングしたp<sup>+</sup>型Si<sub>1-x</sub>Ge<sub>x</sub>膜について述べたが、As、P等のドーピングでn<sup>+</sup>型Si<sub>1-x</sub>Ge<sub>x</sub>膜を用いても、その効果は小さいが同様に有効となる。

【0030】

【発明の効果】以上説明したように本発明では、MOSFETのゲート電極として多結晶のSi<sub>1-x</sub>Ge<sub>x</sub>材料を用いそのバンド構造での禁制帯幅を狭めることで、シリコン基板との仕事関数差を小さく制御することが容易になる。このためMOSFETのしきい値電圧 $V_{TH}$ の制御が簡単となり、更にMOSFETの微細化に伴うシリコン基板中の不純物量の増加を不必要にできる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の断面図。

【図2】第1の実施例におけるMOS構造のフラットバンド状態でのバンド構造を示す模式図。

【図3】実施例におけるゲート電極のゲルマニウム含有量とフラットバンド電圧との関係を示す図。

【図4】本発明の第2の実施例の断面図。

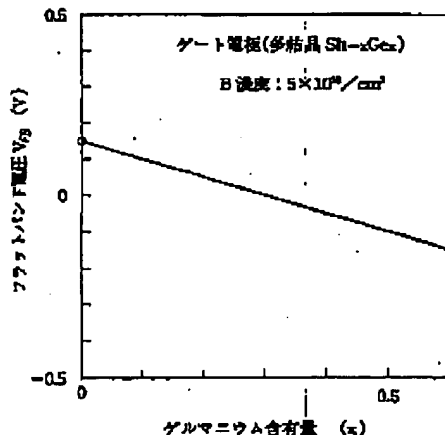
【図5】本発明の第3の実施例の断面図。

【図6】従来のMOS構造のバンド構造を示す模式図。

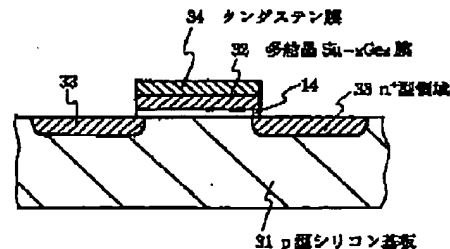
【符号の説明】

- 11, 21 n型シリコン基板
- 12, 12A, 12B ゲート電極
- 13, 13A p<sup>+</sup>型領域
- 14 ゲート酸化膜
- 20 pウェル
- 23 n<sup>+</sup>型領域
- 31 p型シリコン基板
- 32 多結晶Si<sub>1-x</sub>Ge<sub>x</sub>膜
- 33 n<sup>+</sup>型領域
- 34 タングステン膜
- 41 シリコン基板
- 42 シリコン酸化膜
- 43 ソース・ドレイン領域
- 44 素子分離酸化膜
- 45 チャネル領域

【図3】



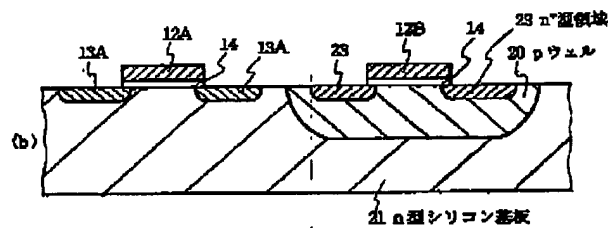
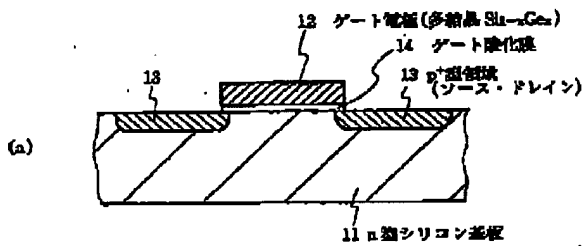
【図4】



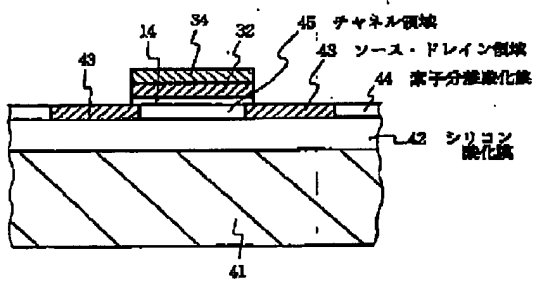
(5)

特開平5-235335

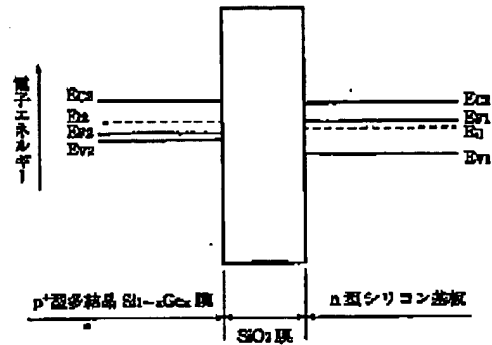
【図1】



【図5】

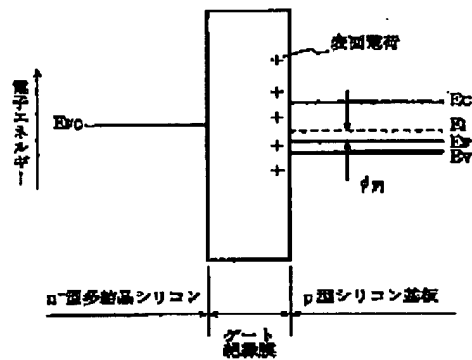


【図2】



$E_C$ : コンダクションバンド端  
 $E_V$ : バレーバンド端  
 $E_F$ : フェルミレベル  
 $E_M$ : ミッドギャップ位置  
 $E_V$ : バレーバンド端

【図6】



$E_C$ : コンダクションバンド端  
 $E_V$ : バレーバンド端  
 $E_F$ : フェルミレベル  
 $E_M$ : ミッドギャップ位置  
 $E_V$ : バレーバンド端